

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

2025年12月31日

[illegible]

☐ _____

☐ _____
(☐ _____)

The diagram illustrates the reduction of a 16-bit number to an 8-bit number using a series of 8 right shifts. It consists of 8 rows, each representing a step in the process. Each row shows a 16-bit register on the left, followed by a right-pointing arrow, and then an 8-bit register on the right. The 16-bit register is represented by 16 small squares, and the 8-bit register is represented by 8 small squares. In each row, the 16-bit register contains a sequence of bits that shifts one position to the right from the previous row. The 8-bit register contains the bits that are shifted out of the 16-bit register in the previous row. The process starts with a 16-bit register containing 16 zeros and ends with an 8-bit register containing 8 zeros.

[illegible]

1111

□ □

[illegible]

□ □ □ □ □

[illegible][illegible]

☐ _____

[illegible][illegible]

□ □ □ □ □ □ □ □ □ □

[illegible][illegible][illegible]

□ □ □ □ □ □ □ □ □ □

[illegible]

□ □

[illegible][illegible]

□ □ □ □ □ □ □ □ □ □ □ □ □ □

□□□□□□□□□□□□□□□□□□□□(□□□□)□□□□□□

[illegible]

□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □

□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □

□ □ □ □ □ □ □ □

[illegible]

□ □ □ □ □ □ □ □ □ □

□ □ □ □ □ □ □ □ □ □ □ □ □ □

XXXXXXXXXXXXXXXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX XXXXXXXXXXXXXXX

XXX

[illegible][illegible][illegible]

□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □

[illegible]

□ □ □ □ □ □ □ □ □ □

[illegible]

□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □

□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □

□ □ □ □ □ □ □

1010101010

[illegible]

□ □ □ □ □ □ □ □ □ □

□ □ □ □ □ □ □ □ □ □ □ □ □ □ □

□ □

[illegible][illegible][illegible][illegible][illegible][illegible]

□ □

□ □

[illegible]